

DETAIL	JAPANESE	LEGAL STATUS
--------	----------	--------------

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232075

(43)Date of publication of application : 22. 08. 2000

(51)Int. Cl. H01L 21/265

H01L 29/78

H01L 21/336

(21)Application number : 11-032784

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 10. 02. 1999

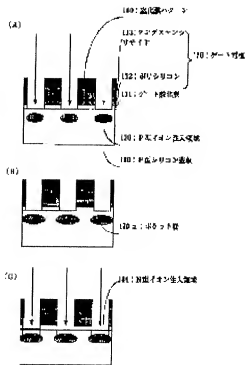
(72)Inventor : SHINOHARA HIROBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer.

SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



(11)特許公報番号
特許2000-232075
(P2000-232075A)

(42)公開日 平成12年8月29日(2000.8.29)

(51)Int. Cl.
H01L 21/025
21/73
21/265

(54)発明の名称 半導体装置の製造方法

(71)出願人 株式会社日立製作所
〒100-8356 東京都千代田区千代田 1-10-10(72)発明者 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(73)出願人 株式会社日立製作所
〒100-8356 東京都千代田区千代田 1-10-10(74)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(75)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(76)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(77)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(78)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(79)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(80)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(81)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10(82)特許代理人 佐藤 清文
〒100-8356 東京都千代田区千代田 1-10-10

(13)特許請求の範囲

【請求項1】 第1電極の半導体装置製造法に、ゲート絶縁膜を、ゲート絶縁膜上に、ゲート電極を形成して製造する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

【請求項2】 第1電極の半導体装置製造法に、ゲート絶縁膜を、ゲート絶縁膜上に、ゲート電極を形成して製造する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

【請求項3】 第1電極の半導体装置製造法に、ゲート絶縁膜を、ゲート絶縁膜上に、ゲート電極を形成して製造する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

第2電極の不純物を、第2電極の半導体装置製造法に導入する工程と、

【0009】次に図8(B)に示すように、コンタクトホール430内にコンタクト層432を埋め込み、このコンタクト層432の上に配線層431を形成する。

[illegible]

炭のボケネット層の形成工程では、シリコン基板裏面に對して斜め方向からイオン注入を行い、動作時にチャネル領域下で空乏層が広がる部分にイオン注入領域を形成し、その直、このイオン注入領域を活性化することによつてボケネット層を形成していた。

[illegible]

1902年、本邦初の印刷所は、西洋字を印刷できるよう装置となるデザインホール、18cm以下の世代の半導体装置において、半ゲート層を構成できる半導体装置の製造方法を提供することにある。

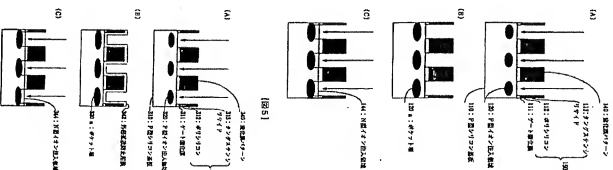
[illegible]

【0014】
【発明の実施の形態】 図1および図2は本発明の半導体装置の製造方法の第1の製造の形態について説明するための断面図である。以下、図1および図2を用いて本発明の第1の製造の形態について説明する。

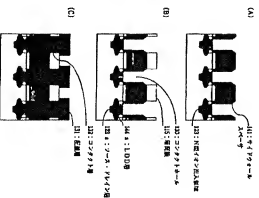
【0015】 本発明の第1の製造の形態を用いて、NMOSFET (n-type Metal Oxide Semiconductor Field Effect Transistor) を製造する例について説明す

[illegible][illegible][illegible][illegible]

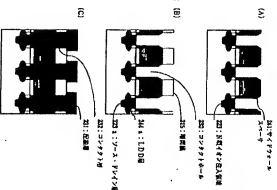
[図1]



[図2]



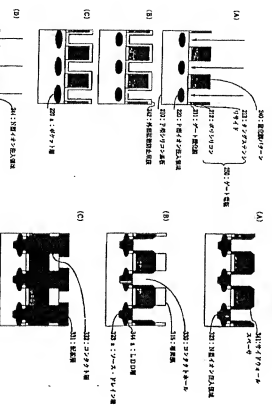
[図3]



[図4]



[図5]



[図6]

